

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-178034

(43)Date of publication of application : 09.10.1984

(51)Int.Cl.

H04J 3/00

(21)Application number : 58-052974

(71)Applicant : FUJITSU LTD

(22)Date of filing : 29.03.1983

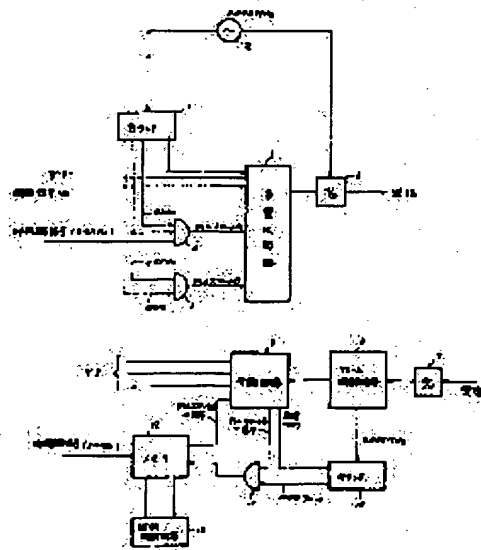
(72)Inventor : MURASE TETSUO  
FUJIMOTO HISANOBU  
SHINBASHI MASAHIRO  
NAKAZUMI MASASHI  
FUKUSHIMA TAKEO

## (54) DATA TRANSMISSION SYSTEM

### (57)Abstract:

**PURPOSE:** To extract accurately a timing signal of an asynchronizing signal at the receiving side by transmitting an AND output between a pulse repeating frequency of the asynchronizing signal and a synchronizing clock for multiplexing and utilizing simultaneously an effective signal of the asynchronizing signal.

**CONSTITUTION:** A signal of an oscillator 2 is inputted to a counter 1 and a unipolar/bipolar converter 6. The counter 1 transmits various timing clocks to a multiplexing circuit 3 and also transmits the clocks to AND circuits 4 and 5. A data and a synchronizing signal or the like are inputted directly to the multiplexing circuit 3, where they are multiplexed. Further, an output of the AND circuits 4, 5 is inputted to the multiplexing circuit 3, where the output is multiplexed and transmitted by the converting circuit 6 as a bipolar signal. The signal is converted into a unipolar signal by a unipolar/bipolar converting circuit 7 at the transmission side, and a receiving signal is transmitted to a separating circuit 9 and a counter 10 via a frame synchronizing circuit 8. A clock representing the effective signal is outputted from an AND circuit 11, fed to a PLL circuit 13 via a memory 12 and the timing clock of the asynchronizing signal is extracted.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

Best Available Copy

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

Kokai No. 59-178034

<Constituent Feature of the Invention>

To achieve the object mentioned above, according to the present invention, pulses of the repetition frequency of the asynchronous signals and a signal obtained by an AND operation of the multiplexing synchronizing clock and the asynchronous signal are multiplexed by the digital multiplexing converter synchronously with the multiplexing signal and are transmitted, and among the effective signal and the empty signal, produced during the AND operation, a signal which represents the effective signal is transmitted in a different time slot. A means for extracting a timing signal for the asynchronous signal, in response to the signal which represents the effective signal, is provided on the signal receiving side.

<Embodiment of the Invention>

An embodiment of the invention will be discussed below with reference to the drawings.

Fig. 3 shows a block diagram of a main part of a transmission side of a 30CH PCM multiplexing converter, according to an embodiment of the present invention. Fig. 4 shows a block diagram of a main part of a receiving side of a 30CH PCM multiplexing converter, according to an embodiment of the present invention. Fig. 5 shows time charts of a signal of each part shown in Figs. 3 and 4, of which (A) shows an asynchronous signal which is transmitted in the time slot "A", (B) shows a signal which represents the effective signal, transmitted in the time slot "B" and (C) shows an output signal of the AND circuit 11.

In Fig. 1, numeral 10 designates the counter, 2 the transmitter of 2.048 MHz, 3 the multiplex circuit, 4, 5 and 11 the AND circuits, 6 the unipolar/bipolar converter circuit (which will be referred hereinafter to as a U/B converter circuit), 7 the bipolar/unipolar converter circuit (which will be referred to as a B/U converter circuit), 8 the frame synchronizing circuit, 9 the multiplex separation circuit, 12 the memory, and 13 the PLL circuit.

By way of example, the asynchronous signal of 2400 bps is multiplexed by the 30CH PCM multiplex converter and is transmitted.

In Fig. 3, the signal from the 2.048 MHz transmitter 2 is input to the counter 1 and the U/B converter circuit 6. In the counter 1, various timing clocks are transmitted to the multiplex circuit 3 in accordance with the 2.048 MHz signal and the 2400 Hz clock is transmitted to the AND circuits 4 and 5. The 4 KHz multiplexing synchronizing clock is transmitted to the AND circuits 4 and 5, at the timing corresponding to the time slot "A" and the time slot "B" shown in Fig. 1, respectively. The data and the synchronizing signal, etc., are directly input to the multiplex circuit 3 and are multiplexed thereby. The 2400 bps asynchronous signal is input to the AND circuit 4, so that the AND operation of the 2400 Hz clock and the 4 KHz clock of the timing corresponding to the time slot "A" is carried out therein and the output is transmitted to the multiplex circuit 3. The bit rate  $f_1$  of the asynchronous signal is 2400 and the bit rate  $f_2$  of the multiplexing synchronizing signal is 4000. Therefore,  $f_1/f_2 = 3/5$ . Consequently, on average, there are two empty time slots in every five. Focusing on the time slot "A", the portions (a) in Fig. 5(A) represent the effective signal portions carrying effective data and the portions (b) represent the empty data portions. To obtain the signals which represent the effective signals, an AND operation of the 2400 Hz clock input to the AND circuit 5 and the 4 KHz of the timing corresponding to the time slot "B" is carried out. Focusing on the time slot "B", the level of the portions which represent the effective signals shown in Fig. 5(B) is 1 and the level of the empty signal portions is 0. The outputs of the AND circuits 4 and 5 are input to the multiplex circuit 3 to multiplex the same, so that the outputs of the AND circuits 4 and 5 carry the signals representing the effective signals in the first three time slots "A" and "B" in Fig. 1; carry the empty signals in the two subsequent time slots "A"

and "B". Thus, the frame structure as shown in Fig. 1 is realized with the data and synchronizing signals. The signals are converted into bipolar signals by the U/B converter circuit 6 and are transmitted to the receiving side. On the receiving side shown in Fig. 4, the signals are converted into the unipolar signals by the B/U converter circuit 7 and are synchronized by the frame synchronizing circuit 8, so that the synchronized signals are transmitted to the separation circuit 9. The 2.048 MHz timing signal is extracted and is sent to the counter 10. The counter 10 outputs various clocks to the separation circuit 9 and outputs the clock whose frequency is 4 KHz to the AND circuit 11. In the separation circuit 9, the data signal and the signals shown in Figs. 5(A) (B), transmitted in the time slots "A" and "B" are separated. The effective signal portions (a) shown in Fig. 5(A), transmitted in the time slots "A" are stored in the memory 12. The separated signals shown in Fig. 5(B), transmitted in the time slots "B" are supplied the AND circuit 11. Among the input clock signals having the frequency of 4 KHz, the clocks representing the effective signals, as shown in Fig. 5(C) are output from the AND circuit 11 and are then supplied to the PLL circuit 13 through the memory 12. In the PLL circuit 13, a timing clock of the asynchronous signal of 2.4 KHz is extracted, so that the effective signals stored in the memory 12 are read in accordance with the timing clock of 2.4 KHz to output asynchronous signals. The three clock signals of 4 KHz shown in Fig. 5(C) are accurately output from the AND circuit 11 for each effective signal portion shown in Fig. 5(B). Consequently, it is possible to easily and correctly extract the clock signals of 2.4 KHz ( $4 \text{ KHz} \times 3/5$ ) in PLL circuit 13. Note that the time slots "A" corresponding to the empty signal portions (b) in Fig. 5(A) are not used, and thus it is possible to multiplex other signals.

## ⑫ 公開特許公報 (A)

昭59-178034

⑪ Int. Cl.<sup>3</sup>  
H 04 J 3/00

識別記号

庁内整理番号  
8226-5K

⑬ 公開 昭和59年(1984)10月9日

発明の数 1  
審査請求 未請求

(全 5 頁)

## ⑭ データ伝送方式

川崎市中原区上小田中1015番地  
富士通株式会社内

⑮ 特 願 昭58-52974

⑯ 発 明 者 中住誠志

⑰ 出 願 昭58(1983)3月29日

川崎市中原区上小田中1015番地

⑱ 発 明 者 村勢徹郎

富士通株式会社内

川崎市中原区上小田中1015番地  
富士通株式会社内

⑱ 発 明 者 福島竹雄

川崎市中原区上小田中1015番地

⑲ 発 明 者 藤本尚延

富士通株式会社内

川崎市中原区上小田中1015番地  
富士通株式会社内

⑳ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

㉑ 発 明 者 新橋雅宏

㉒ 代 理 人 弁理士 松岡宏四郎

## 明 細 書

## 1. 発明の名称

データ伝送方式

## 2. 特許請求の範囲

ディジタル多重変換装置にて、多重化信号に同期して非同期信号を重畳して伝送するデータ伝送方式において、該非同期信号を多重化信号に同期させて重畳して伝送すると共に、該非同期信号の有効性を示す信号を別のタイムスロットで送り、受信側には該有効性を示す信号により該非同期信号のタイミング信号を抽出することを特徴とするデータ伝送方式。

## 3. 発明の詳細な説明

## (a) 発明の技術分野

本発明はディジタル多重変換装置に、多重化信号に同期して非同期信号を重畳して伝送するデータ伝送方式に係り、非同期信号の多重化信号によりサンプリングする回数が多くてきない場合、受信側で該非同期データのタイミング信号を正確に容易に抽出出来るデータ伝送方式に関する。

## (b) 従来技術と問題点

第1図は30CH PCM多重変換装置のフレーム構成図、第2図は従来例の30CH PCM多重変換装置にて、非同期信号を重畳して伝送する場合のタイムチャートで(A)は繰返し周波数2.4 KHzの非同期信号、(B)は周波数4 KHzのサンプリングパルス、(C)はタイムスロットAに非同期信号を重畳した信号、(D)は受信側で非同期信号を分離した信号を示す。

今30CHのPCM多重変換装置にて、2400 bpsの非同期信号を重畳して送信する場合を例にとつて説明する。

30CHのPCM多重変換装置のフレーム構成は第1図に示す如く、繰返し周波数4 KHzの2フレーム毎に、xで示す1ビットの対局登録信号領域の次に、各々1ビットのA、Bのタイムスロットで示す空領域が設けられている。非同期信号を重畳して伝送する場合はこの空タイムスロットA又はBを利用して伝送する。

今従来の方で、第2図(A)に示す2400 bps

の非同期信号（データを例えば1, 0, 1, 0…とする）を空タイムスロットに重畳する場合は、第2図(B)に示す2フレーム分の繰返し周波数（多重化用同期化クロック）4 KHzのサンプリングパルスにより、サンプリングして第2図(C)に示す如く減衰して送信する。この空タイムスロットAに重畳された信号を受信側にて多重分離して取出すと第2図(D)に示す如き最初の1.0レベルの信号の減衰に比し、次の1レベルの信号は1/2の長さの信号となる。このように非同期信号の繰返し周波数(2400 Hz)とサンプリング周波数4 KHzとの差が少なくサンプリング回数が少ないと、長い信号と短い信号の長さの比が大きく受信側で位相同期回路（以下PLL回路と称す）を用い平滑して非同期信号の繰返し周波数2400 Hzのタイミング信号を求めようとしても歪が大きく求めることが非常に困難である。従来の方式はこのような欠点を持っている。

#### (c) 発明の目的

本発明の目的は上記の欠点に鑑み、非同期信号

は本発明の実施例の30CH PCM多重変換装置の受信側の要部のブロック図、第5図は第3図、第4図の各部の信号のタイムチャートで(A)はタイムスロットAにて送る非同期信号、(B)はタイムスロットBにて送る有効信号を示す信号、(C)はアンド回路11の出力信号を示す。

図中1, 10はカウンタ、2は2.048 MHzの発振器、3は多重化回路、4, 5, 11はアンド回路、6はユニポーラ・バイポーラ変換回路（以下U/B変換回路と称す）、7はバイポーラ・ユニポーラ変換回路（以下B/U変換回路と称す）、8はフレーム同期回路、9は多重分離回路、12はメモリ、13はPLL回路を示す。

30CHのPCM多重変換装置にて、2400 bpsの非同期信号を重畳して送信する場合を例にとつて説明する。

第3図において2.048 MHzの発振器2よりの信号はカウンタ1及びU/B変換回路6に入力している。カウンタ1では2.048 MHzの信号により各種のタイミングクロックを多重化回路3に送信

の繰返し周波数と多重化用同期化クロックの周波数との差が小さく、非同期信号の1フレームをサンプリングする回数が少なくとも、受信側で該非同期信号のタイミング信号を正確に容易に抽出出来るデータ伝送方式の提供にある。

#### (d) 発明の構成

本発明は上記の目的を達成するために、非同期信号の繰返し周波数のパルスと多重化用同期化クロックと該非同期信号との論理積をとった信号を多重化信号に同期してデジタル多重化変換装置にて重畳して伝送すると共に論理積をとることにより生ずる該非同期信号の有効信号及び空信号の内、有効信号を示す信号を別のタイムスロットで送り、受信側には、該有効信号を示す信号により該非同期信号のタイミング信号を抽出する手段を設けタイミング信号を抽出することを特徴とする。

#### (e) 発明の実施例

以下本発明の1実施例につき図に従って説明する。第3図は本発明の実施例の30CHのPCM多重変換装置の送信側の要部のブロック図、第4図

すると共に2400 Hzのクロックをアンド回路4, 5に送信する。又4 KHzの多重化用同期化クロックをアンド回路4にて第1図のタイムスロットAに乗せるタイミングで又アンド回路5にて第1図のタイムスロットBに乗せるタイミングで送信する。データ及び同期信号等は直接多重化回路3に<sup>の</sup>入力して多重化される。2400 bpsの非同期信号はアンド回路4に入力し、2400 Hzのクロック及びタイムスロットAに乗せるタイミングの4 KHzのクロックとのアンドをとり多重化回路3に送信される。この場合非同期信号のビットレート $f_1$ は2400で多重化同期信号のビットレート $f_2$ は4000であるので $f_1/f_2 = 3/5$ で平均して5回に2回は空タイムスロットになりタイムスロットAに増目して見れば第5図(A)のイの部分には有効なデータが乗っており、ロの部分には空データ部分である。この有効信号を示す信号を求めるには、アンド回路5に入力している2400 HzのクロックとタイムスロットBに乗せるタイミングの4 KHzのクロックとの論理積をとりタイム

スロット B に着目して見れば第 5 図(B)に示す如き有効信号を示す部分は 1 レベルで空き信号部分は 0 レベルの信号が得られる。アンド回路 4, 5 の出力を多重化回路 3 に入力して多重化すればアンド回路 4, 5 の出力は第 1 図のタイムスロット A, B の最初の 3 個には有効信号を示す信号が乗せられ次の 2 個のタイムスロット A は空き信号でタイムスロット B は空き信号を示す信号が乗せられ、データ及び同期信号と共に第 1 図のフレーム構成となり U/B 変換回路 6 にてバイポーラ信号に変換され受信側に送信される。第 4 図に示す受信側では B/U 変換回路 7 にてユニポーラ信号に変換され、フレーム同期回路 8 にて同期がとられ受信信号を分離回路 9 に送ると共に 2.048 MHz のタイミング信号を抽出してカウンタ 10 に送り、カウンタ 10 よりは各槽のクロックを分離回路 9 に送信すると共に周波数 4 KHz のクロックをアンド回路 11 に送る。分離回路 9 ではデータ信号及びタイムスロット A, B で送られてきた第 5 図(A)(B)に示す信号を分離し、タイムスロット A で送られてきた第

5 図(A)に示す信号の有効信号 1 の部分はメモリ 12 に記憶される。又タイムスロット B に乗ってきた分離された第 5 図(B)に示す信号はアンド回路 11 に送られ、入力している周波数 4 KHz のクロック信号の内第 5 図(C)に示す如く有効信号を示す部分のクロックがアンド回路 11 より出力しメモリ 12 を介し PLL 回路 13 に送られ PLL 回路 13 にて周波数 2.4 KHz の非同期信号のタイミングクロックが抽出され、この 2.4 KHz のタイミングクロックにてメモリ 12 に記憶されている有効信号を読み出し非同期信号を出力する。アンド回路 11 より出力される第 5 図(C)に示す周波数 4 KHz の 3 つのクロック信号は第 5 図(B)の有効信号を示す部分に正確な物が出力されるので PLL 回路 13 では容易に正確な 2.4 KHz ( $4 \text{ KHz} \times \frac{3}{5}$ ) のクロック信号を抽出することが出来る。

尚第 5 図(A)の空き信号部分のタイムスロット A は使用しないので別の信号を重畳して使用することも出来る。

(f) 発明の効果

以上詳細に説明せる如く本発明によれば、非同期信号の繰返し周波数と多重化用同期化クロックとの周波数との差が小さく、非同期信号の 1 フレームをサンプリングする回数が少なく、多点サンプリングできない場合でも受信側にて該非同期信号のタイミング信号を正確に容易に抽出出来る効果がある。

#### 4. 図面の簡単な説明

第 1 図 30 CH PCM 多重変換装置のフレーム構成図、第 2 図は従来例の 30 CH PCM 多重変換装置にて非同期信号を重畳して伝送する場合のタイムチャート、第 3 図は本発明の実施例の 30 CH PCM 多重変換装置の送信側の要部のブロック図、第 4 図は本発明の実施例の 30 CH PCM 多重変換装置の受信側の要部のブロック図、第 5 図は第 3 図第 4 図の各部の信号のタイムチャートである。

図中 1, 10 はカウンタ、2 は 2.048 MHz の発振器、3 は多重化回路、4, 5, 11 はアンド回路、6 はユニポーラ・バイポーラ変換回路、7 はバイポーラ・ユニポーラ変換回路、8 はフレーム同期

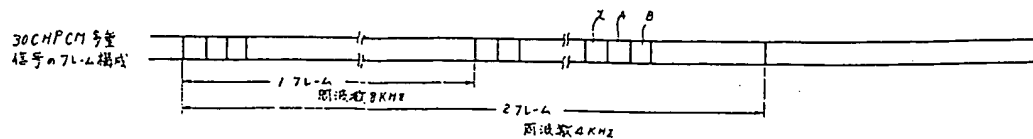
回路、9 は分離回路、12 はメモリ、13 は位相同期回路を示す。

代理人 弁理士 松岡 宏四

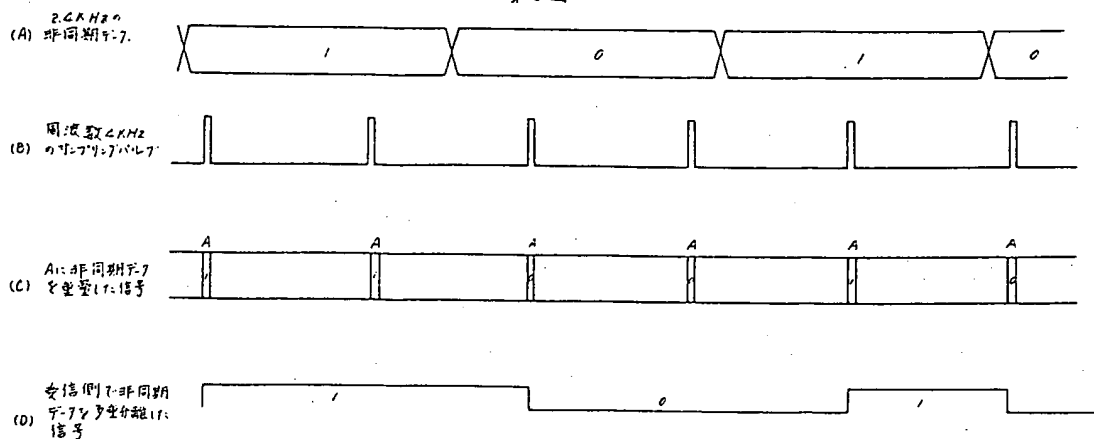




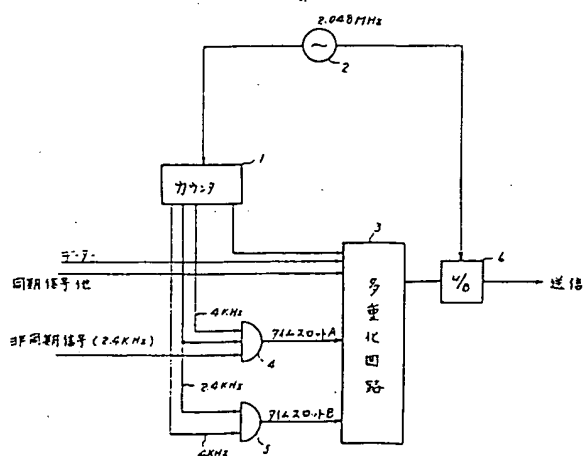
第1図



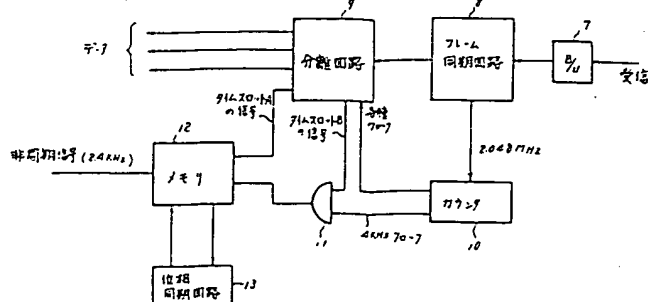
第2図



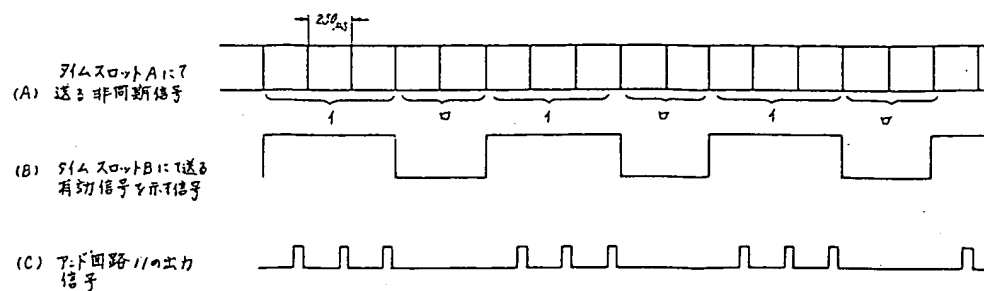
第3図



第4図



第5図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked.

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**